

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-330937

(43)Date of publication of application : 22.12.1997

(51)Int.Cl. H01L 21/338
H01L 29/812
H01L 21/3065
H01L 29/41

(21)Application number : 08-145920

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.06.1996

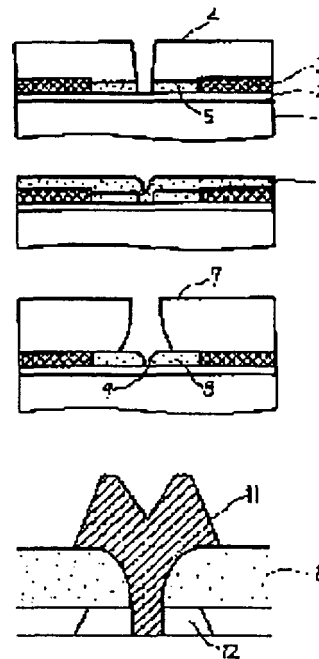
(72)Inventor : TAN TAKAHIRO
HIRANO HIDENORI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To mold-seal a semiconductor device without deteriorating the characteristics of an element by a method wherein a cap layer is etched through a gate opening window, the cap layer under the lower side of an insulating layer is side-etched, a gate electrode is formed in the gate opening window and a cavity is formed of an element formation layer, the side surfaces of the cap layer, the insulating film and the gate electrode.

SOLUTION: An SiO₂ film 5 is grown on the whole upper surface of a cap layer 2, which is a gate formation region, and source and drain electrodes 3 are formed on prescribed positions on an element region. Then, a resist pattern 4 having an opening for gate window formation use is formed, the film 5 is etched using the pattern 4 as a mask, the pattern 4 is removed, a second layer SiO₂ film 6 is grown, a semiconductor substrate is etched until the surface of the semiconductor substrate is exposed to obtain a gate opening window 9 with the open section having a projected curve toward the opening. Then, a resist pattern 7 for gate electrode film lift-off use is formed, the cap layer 2 is etched through the window 9, the insulating film is left over a recess part into an overhang shape and a cavity 12 is formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

特開平9-330937

(43) 公開日 平成9年(1997)12月22日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/338	9447-4M	H 0 1 L 29/80	F
	29/812		21/302	L
	21/3065		29/44	C
	29/41			

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平8-145920

(22) 出願日 平成8年(1996)6月7日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72) 発明者 丹 孝弘

山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士通カンタムデバイス株式会社内

(72) 発明者 平野 英則

山梨県中巨摩郡昭和町大字紙漣阿原1000番地 富士通カンタムデバイス株式会社内

(74) 代理人 弁理士 井桁 貞一

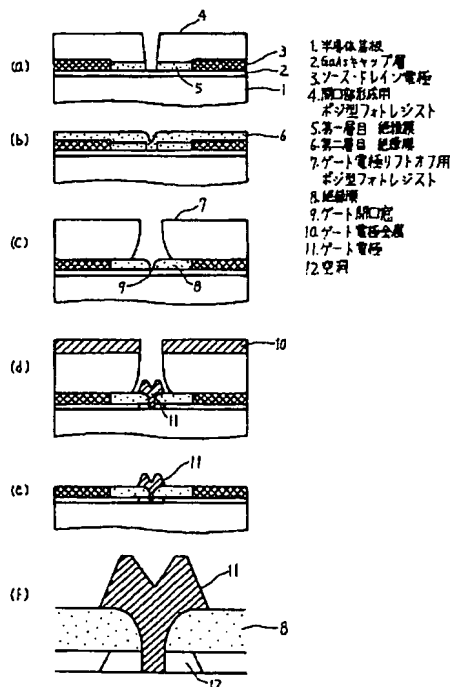
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 素子特性の劣化をきたすことなく、且つモールド封止を可能にするゲート電極構造の提供する。

【解決手段】 1) 素子形成層上に被着されたキャップ層上に絶縁膜を形成し、開口の断面形状が開口に対して凸の曲線を有し且つ上方に向かって広がったゲート開口窓を絶縁膜に形成し、絶縁膜をエッチングマスクにしてゲート開口窓を通してキャップ層をエッチングし、続いてオーバエッチングして絶縁膜の下側のキャップ層をサイドエッチングしてリセスを形成し、ゲート開口窓にゲート電極を形成するとともに、素子形成層表面とキャップ層の側面と絶縁膜とゲート電極とで空洞を形成する工程とを含む、2) ゲート開口窓の断面形状の曲線と絶縁膜の厚さの中心線との交点における曲線の接線と素子形成層表面となす角が50°～75°であり、絶縁膜の厚さが0.2μmを越えるようにする。

本発明の実施の形態の説明図



【特許請求の範囲】

【請求項1】 半導体からなる素子形成層上に被着された半導体からなるキャップ層上に絶縁膜を形成する工程と、次いで、開口の断面形状が該開口に対して凸の曲線を有し且つ上方に向かって広がったゲート開口窓を該絶縁膜に形成する工程と、次いで、該絶縁膜をエッチングマスクにして該ゲート開口窓を通して該キャップ層をエッチングし、続いてオーバエッチングして該絶縁膜の下側の該キャップ層をサイドエッチングしてリセスを形成する工程と、次いで、該ゲート開口窓を覆ってゲート電極膜を被着し、ゲート電極を形成するとともに、該素子形成層表面と該キャップ層の側面と該絶縁膜と該ゲート電極とで空洞を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記ゲート開口窓の断面形状の曲線と前記絶縁膜の厚さの中心線との交点における該曲線の接線と前記素子形成層表面となす角が 50° ～ 75° であり、該絶縁膜の厚さが $0.2\mu\text{m}$ を超えることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記絶縁膜が2層からなり、下層絶縁膜を被着後、開口を設け、該開口を含んで上層絶縁膜を被着し、ドライエッチングを行って前記ゲート開口窓を形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記絶縁膜に前記ゲート開口窓を形成する際に、上層には高解像度タイプのレジスト膜を、下層には高感度タイプのレジスト膜を成膜した2層構造のレジスト膜を用いて露光することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 請求項1に記載された方法を含んで製造されたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に係り、特に樹脂封止の電界効果型トランジスタ(FET)のT型ゲート構造およびその形成に関する。

【0002】 μ 波回路や高速論理回路に用いられる短ゲート長を有するFETを樹脂封止してもその性能が維持できるようなゲート構造が望まれている。

【0003】

【従来の技術】近年のトランジスタの高速化に伴い、ゲート長は縮小の一途をたどっている。特に、HEMT(高電子移動度トランジスタ)等の高性能トランジスタでは、ゲート長が $0.3\mu\text{m}$ 以下になってきた。しかしながら、ゲート長の短縮に伴いゲート抵抗の増大や、ゲート電極近傍で発生する寄生容量の増大による素子特性の低下が発生する。

【0004】ゲート長の短縮とゲート抵抗の低減という相反する問題を解決するために、図2に示されるように、ゲート電極11の断面形状をT型、またはマッシュル

ーム型と呼ばれる形状にし、半導体基板とゲート電極の接触面積を減らしてゲート長を短縮しつつ、ゲート電極の断面積を大きく確保してゲート抵抗の低減化を行っている。

【0005】このT型ゲートの形成法の一例を図3に示す。図3(a)～(e)はT型ゲートの製造プロセスの従来例の説明図である。図3(a)において、電子ビームによる直接描画法、あるいは位相シフト法を用いた光学露光を利用して、狭い下部開口部を形成するレジストパターン(低感度電子線用レジスト)13と広い上部開口部を形成するレジストパターン(高感度電子線用レジスト)14を形成し、高ドーズ量電子ビームを開口領域に照射する。

【0006】図3(b)において、低ドーズ量電子ビームを開口領域に照射する。図3(c)において、現像してT型ゲート電極形成用の開口されたレジストパターン17を形成する。

【0007】図3(d)において、ゲート電極用の金属膜10を蒸着して堆積する。図3(e)において、レジストをリフトオフして、レジストパターン上の金属膜を除去すると、T型ゲート電極11が形成される。

【0008】このようにして製造されたHEMT素子は、 μ 波帯で高い利得と低い雑音指数が得られ、電波天文学の進歩や、惑星間を航行する人工衛星の電波受信に多大な貢献をし、衛星放送の受信も可能になった。しかしながら、このような特殊な分野から実用化が始まったため、これらの素子は容易に高信頼化が得られるメタルハーメチックパッケージに搭載されている。

【0009】この高価なメタルハーメチックパッケージの代わりに、より安価なモールドパッケージを導入することは、衛星放送の受信装置や人工衛星を利用した位置測定装置の一層の普及や、ミリ波を利用した自動車の衝突防止装置等の開発、実用化に不可欠な課題である。

【0010】

【発明が解決しようとする課題】従来素子をモールド樹脂で封止して素子特性の評価を行ったが、すべての素子が不良で測定することが出来なかった。不良のモードはゲート電極のオープンであった。この原因は、図4(a)に示されるように、モールド成形時の樹脂の流れ込みや樹脂の硬化の際のストレスにより、ゲート電極が引き剥がされ浮き上がっていたためであった。

【0011】その対策として、図4(b)に示されるように、素子をポリイミド樹脂で覆ってからモールド樹脂で封止した。この際も、ゲート電極のオープンが多発したが、辛うじて動作した素子の利得は著しく減少していた。これは、ゲート電極の側壁についたポリイミド樹脂が寄生容量 C_{gs} (ゲートソース間の寄生容量)、 C_{gd} (ゲートドレイン間の寄生容量)を増加させたことが原因であった。

【0012】さらに、図4(c)に示されるように、動作

する素子を選別し一般的な温度サイクル試験を行ったところ、試験の初期の段階ですべての素子のゲート電極がオープンになってしまった。この原因はポリイミド樹脂の膨張と収縮の繰り返しにより、ゲート電極が浮いてしまったためである。

【0013】さらに強固にゲート電極を固定するために以下の試みを行った。図5に示されるように、気相成長(CVD)法により二酸化シリコン(SiO_2)膜をゲート電極の下部を埋め込むように固定してからモールド樹脂で封止した。この素子はゲート電極の初期のオープンや、簡単な温度サイクル試験での不良は発生しなかったが、ポリイミド樹脂で覆ったものと同様に、寄生容量の増大により、利得が減少し雑音指数が増大し、実用に耐えないものであった。

【0014】以上の事実から、ゲート長が $0.3\mu\text{m}$ 以下でT型電極構造の従来の素子構造では、モールド樹脂の流れや膨張収縮のストレスでゲート電極の引き剥がれが発生し、従来素子そのままではモールド化ができないことが判明した。

【0015】そこで、寄生容量 C_{gs} 、 C_{gd} の増大を回避する別の手段を行ってから、樹脂封止を行う試みをした。その工程を図6で説明する。図6(a)～(e)は他の従来例の説明図である。

【0016】図6(a)において、半導体基板1上にソースドレイン電極3を形成し、その上に二酸化シリコン(SiO_2)膜等の絶縁膜23を形成し、次いで、ゲート電極形成のためのレジストパッケージ24を形成する。

【0017】図6(b)において、ドライエッチングにより絶縁膜23をエッチングする。この際、エッチングにより生じた絶縁膜23の開口部を通して半導体基板1が横方向にもエッチング(サイドエッチング)されるように、オーバエッチングを行う。この工程で形成された半導体基板のゲート領域のくぼみはリセスと呼ばれる。

【0018】図6(c)において、半導体基板上に絶縁膜の開口部を覆って半導体基板に接触するようにゲート電極膜10を堆積する。次いで、その上にゲート電極形成用のレジストマスク25を形成する。

【0019】図6(d)において、ゲート電極膜10をドライエッチングしてゲート電極11を形成する。図6(e)は電極部の拡大図である。この構造ではゲート電極近傍の絶縁膜下のリセス部が空洞となっており、寄生容量の増大を阻止している。

【0020】上記の構造のHEMTの素子特性は、製品として十分であった。この素子をモールド封止したところ、ゲート電極がオープンになる不良は発生せず、寄生容量 C_{gs} 、 C_{gd} の増加は著しく抑えられ、特性はややばつものものの、製品の規格を満足するものであった。

【0021】次にこの素子の信頼性を評価するため、高温通電試験を行ったところ、ゲートのリーク電流

I_{gso} 、 I_{gdo} 、 G_m が増大し、ゲート電圧 V_{gso} 、 V

g_{do} が低下し、電流 I_{dss} や G_m が変動した。

【0022】また、 -65°C と 175°C の温度を交互に繰り返して印加する温度サイクル試験を行ったところかなりの試料のゲートがオープンになった。この現象は短ゲート長の素子ほど顕著であった。この原因を調査した結果以下のことがわかった。

【0023】図7(a)、(b)は空洞型素子の問題点の説明図である。

(1) 素子の半導体、絶縁膜、ゲート電極及び樹脂の熱膨張係数の差異と、温度サイクルによりゲート電極を絶縁膜表面から剥がすようなストレスが働いて絶縁膜とゲート電極との間にわずかの隙間が生じ、樹脂の有機物成分や水分等の外気が入り、リセス領域の空洞部に浸入し、半導体表面を汚染し、特性の不安定性や劣化が発生する(図7(a)参照)。

(2) 短ゲート長FETでは、同様な温度変化による繰り返しストレスにより、電極の上部が浮き上がり、同時にゲート電極は開口寸法が小さいため、絶縁膜の内部で電極の断線が発生する(図7(b)参照)。

【0024】本発明は、素子特性の劣化をきたすことなく、且つモールド封止を可能にするゲート電極構造の提供を目的とする。

【0025】

【課題を解決するための手段】上記課題の解決は、

1) 半導体からなる素子形成層上に被着された半導体からなるキャップ層上に絶縁膜を形成する工程と、開口の断面形状が該開口に対して凸の曲線を有し且つ上方に向かって広がったゲート開口窓を該絶縁膜に形成する工程と、該絶縁膜をエッチングマスクにして該ゲート開口窓を通して該キャップ層をエッチングし、続いてオーバエッチングして該絶縁膜の下側の該キャップ層をサイドエッチングしてリセスを形成する工程と、該ゲート開口窓を覆ってゲート電極膜を被着し、ゲート電極を形成するとともに、該素子形成層表面と該キャップ層の側面と該絶縁膜と該ゲート電極とで空洞を形成する工程とを含む半導体装置の製造方法、あるいは

2) 前記ゲート開口窓の断面形状の曲線と前記絶縁膜の厚さの中心線との交点における該曲線の接線と前記素子形成層表面となす角が $50\sim 75^\circ$ であり、該絶縁膜の厚さが $0.2\mu\text{m}$ を越える前記1記載の半導体装置の製造方法、あるいは

3) 前記絶縁膜が2層からなり、下層絶縁膜を被着後、開口を設け、該開口を含んで上層絶縁膜を被着し、ドライエッチングを行って前記ゲート開口窓を形成する前記1記載の半導体装置の製造方法、あるいは

4) 前記絶縁膜に前記ゲート開口窓を形成する際に、上層には高解像度タイプのレジスト膜を、下層には高感度タイプのレジスト膜を成膜した2層構造のレジスト膜を用いて露光する前記1記載の半導体装置の製造方法、あるいは

5) 前記1に記載された方法を含んで製造され且つ樹脂封止された半導体装置により達成される。

【0026】次に、本発明の作用について説明する。汚染による特性変化は、半導体表面上の絶縁膜に窓開けした空洞のない従来型のゲート電極構造では発生しない。リセス構造で空洞を持つゲート電極構造でのみ顕著に発生する。このように空洞リセス構造は汚染に非常に敏感であるが、寄生容量の低減のためにはこれ以外の構造では困難であると判断した。

【0027】ここで、気密性、すなわち絶縁膜とゲート電極の密着力を確保するにはゲート電極と絶縁膜との接触面積を増やせばよいが、 $0.3\ \mu\text{m}$ 以下のゲート長では問題発生が顕著であり、このような素子では電極や素子の寸法増大は性能低下につながる。

【0028】そのため、本発明では小面積で高い剥離耐性を得るために密着部の形状に着目した。従来の電極構造では、絶縁膜のゲート窓上部には直角に近いかどが存在する。この角の部分にストレスが集中し、ゲート電極が絶縁膜から浮き上がり、更に、窓内部の壁面は垂直に近い。ため電極と絶縁膜との密着性が悪く、電極の切断や汚染経路を形成していた。

【0029】そのために、実験の結果図8(a)に示されるような窓内部の壁面が開口に対し凸のゆるやかな曲線が有効であることがわかった。また、図8(b)のようにゆるやかな曲線であってもS字型のようなくぼみがあると、この部分から電極剥がれがあることもわかった。

【0030】また、 $0.3\ \mu\text{m}$ 以下のゲート長の素子において、ゲート電極が過度に大きくならず且つ十分な接着力が得られる構造として、図8(c)に示されるように、断面形状の曲線が絶縁膜の厚さの $1/2$ の水平線と交わる点で引いた接線と水平面となす角が $50\sim 75^\circ$ であること及び絶縁膜の厚さは $0.2\ \mu\text{m}$ 以上必要であることがわかった。

【0031】本発明では以上の構造をとることにより、リセス空洞の気密性を保つことにより素子特性の劣化をきたすことなく、且つゲート電極を絶縁膜で囲って機械的に保護することによりモールド封止を可能にしている。

【0032】

【発明の実施の形態】以下に本発明の実施の形態のHEMT野構造をその製造プロセスとともに図1を用いて説明する。

【0033】図1(a)～(f)は本発明の実施の形態の説明図である。図1において、1は半導体基板、2はGaAsキャップ層、3はソースドレイン電極、4はゲート窓形成のためのポジ型フォトレジストパターン、5は第1層目の SiO_2 膜、6は第2層目の SiO_2 膜、7はゲート電極膜のリフトオフ用のポジ型フォトレジストパターン、8は最終形状になった絶縁膜、9はゲート開口窓、10はレジスト膜上のゲート電極膜、11はゲート電極、12はリセス

上の絶縁膜下に形成された空洞である。

【0034】図1(a)において、半導体基板1はイオン注入法により素子分離を行ったものを用い、ゲートを形成する領域のキャップ層2の上全面に、厚さ $0.3\ \mu\text{m}$ の第1層目の SiO_2 膜5を成長し、素子領域上の所定の位置にソースドレイン電極3を形成する。

【0035】次に、ゲート窓形成の第1段階として、開口寸法が $0.4\ \mu\text{m}$ 程度のレジストパターン4を形成し、それをマスクにして SiO_2 膜5をドライエッチングする。

図1(b)において、レジストパターン4を除去する。

【0036】次いで、厚さ $0.4\ \mu\text{m}$ 程度の第2層目の SiO_2 膜6を成長する。図1(c)において、反応性イオンエッチング(RIE)により、半導体表面が露出するまで異方性エッチングを行う。この工程で上部開口寸法が約 $0.6\ \mu\text{m}$ で下部開口寸法が約 $0.2\ \mu\text{m}$ の、開口断面が開口に向かって凸(上に凸)の曲線を持つゲート開口窓9が得られる。その曲線の半導体表面となす角は約 65° である。

【0037】次いで、ゲート電極膜のリフトオフ用のポジ型フォトレジストパターン7を形成する。図1(d)において、ゲート開口窓9を通して、GaAsキャップ層2を異方性を弱くしたドライエッチングにより、所望の深さまでエッチングする。

【0038】このドライエッチングは、装置の構成、ガスの選択、ガス圧力、投入電力等の諸条件を最適化して行った。この最適化を行うにあたり、上に凸の曲線状の開口形状はエッチングガスのラジカル密度を高めるための一つの要素であり、異方性を弱くすることによりサイドエッチングを行いリセスを形成している。

【0039】このようにして、エッチングのマスクとなった絶縁膜をリセス部上方に底状に残し、空洞12を形成することができる。次に、ゲート開口窓を形成するためのエッチング条件の一例を示す。

【0040】

反応ガス： CCl_2F_2 30 SCCM + He 60 SCCM

ガス圧力： $4.0\ \text{Pa}$

R F電力： $70\ \text{W}$

基板温度： 38°C

図1(e)において、ゲート電極膜10、11として、アルミニウム(Al)膜を成膜し、レジストパターン7上の不要なアルミニウム膜10をリフトオフしてゲート電極11を形成する。

【0041】図1(f)はゲート電極部の拡大図である。完成したゲート電極の断面形状はT型をしており、空洞12は半導体表面、キャップ層の側壁、底状絶縁膜及びゲート電極側壁に囲まれており、また、空洞は絶縁膜のゆるやかな曲線状の側壁とゲート電極との密着により気密封止されている。

【0042】次に、HEMT素子の他の実施の形態について説明する。前記実施の形態と同様に、絶縁膜にゆるやか

な曲線状の側壁を持つ開口部を形成後、リフトオフ用のレジストパターン⁷の形成は行わず、キャップ層のオーバーエッチングによるリセス構造及び底構造の形成を行う。

【0043】次いで、リセス部の半導体表面安定化のために、絶縁膜開口窓を通して光気相成長(CVD)法により窒化シリコン(Si_3N_4)膜を薄く成長し、再度開口窓を持つ絶縁膜をマスクにして、RIEで半導体表面の Si_3N_4 膜を除去し、ゲート窓を形成する。

【0044】次いで、マグネトロンスパッタ法により、ゲート電極となるWSi膜を全面に被着し、半導体の損傷除去のための熱処理を行った後、WSi膜上に金(Au)系のゲート電極パターンを形成し、他の不要なWSi膜をエッチング除去し、本発明によるゲート電極構造の素子を作製した。

【0045】上記の工程でポジ型フォトリソグロブパターン⁷の形成において、上層には高解像度タイプ(例えば、東京応化製のTSMR-V50)を、下層には高感度タイプ(例えば、東京応化製のOFPR7450)を用いた2層レジスト構造とし、縮小投影露光装置で露光し、現像して、図示のような狭い入口と広い底部を持つ、リフトオフに適した断面形状にすることができる。

【0046】以上二つの実施の形態に示した素子は実施の形態のHEMTに比べて、同等もしくはそれ以上の素子特性を有していた。本発明のゲート電極構造を実現するプロセスは、上記の実施の形態に限らない。また、素子形成もHEMTに限らず他の短チャネル素子であっても本発明は有効である。

【0047】

【発明の効果】本発明による樹脂封止した短チャネルトランジスタは、寄生容量の増加は無く、 μ 波帯で高い利得と低い雑音指数を持ち、温度サイクル試験、高温通電試験、高温耐湿試験に製品として十分な性能を維持できる高信頼の素子を得ることができる。

【図2】

従来のゲート電極の断面図(1)



【0048】また、従来硬化なメタルパッケージのみで実用化されてきたHEMT素子を安価なモールドパッケージで供給できるようになる。この結果、短チャネルFETのより広い応用分野がミリ波帯まで開拓できる。

【0049】また、本発明は、 μ 波用素子に限らず、高速論理回路素子にも応用でき、さらに素子単体のモールド化にとどまらず、短チャネル素子を含む半導体装置のモールドパッケージ化に応用できる。

【図面の簡単な説明】

【図1】 本発明の実施の形態の説明図

【図2】 従来のゲート電極の断面図(1)

【図3】 プロセスの従来例の説明図(1)

【図4】 従来例の問題点の説明図(1)

【図5】 従来のゲート電極の断面図(2)

【図6】 プロセスの従来例の説明図(2)

【図7】 従来例の問題点の説明図(2)

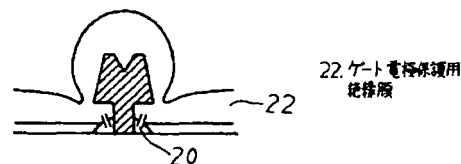
【図8】 本発明の作用の説明図

【符号の説明】

- 1 半導体基板
- 2 GaAsキャップ層
- 3 ソースドレイン電極
- 4 ゲート窓形成のためのポジ型フォトリソグロブパターン
- 5 第1層目の SiO_2 膜
- 6 第2層目の SiO_2 膜
- 7 ゲート電極膜のリフトオフ用のポジ型フォトリソグロブパターン
- 8 最終形状になった絶縁膜
- 9 ゲート開口窓
- 10 レジスト膜上のゲート電極膜
- 11 ゲート電極
- 12 リセス上の絶縁膜下に形成された空洞

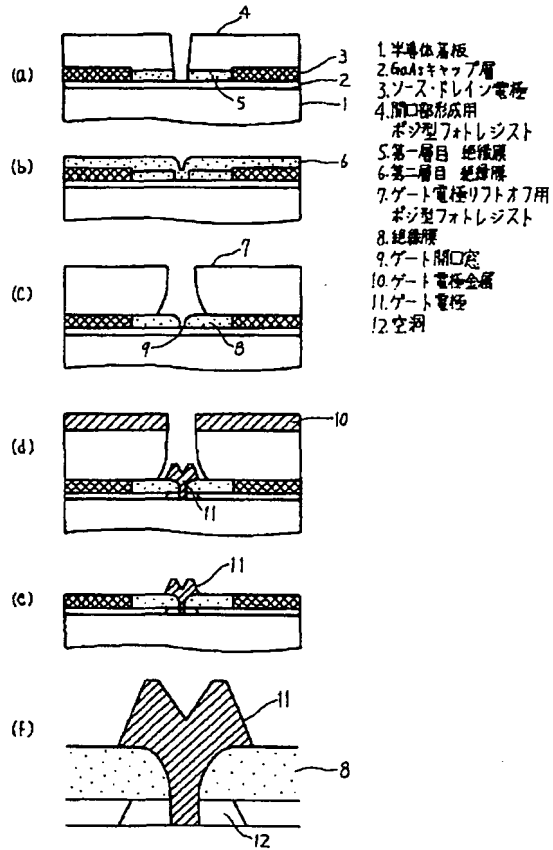
【図5】

従来のゲート電極の断面図(2)



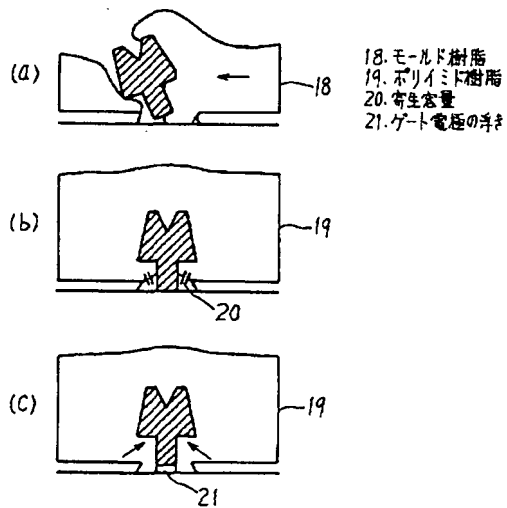
【図1】

本発明の実施の形態の説明図



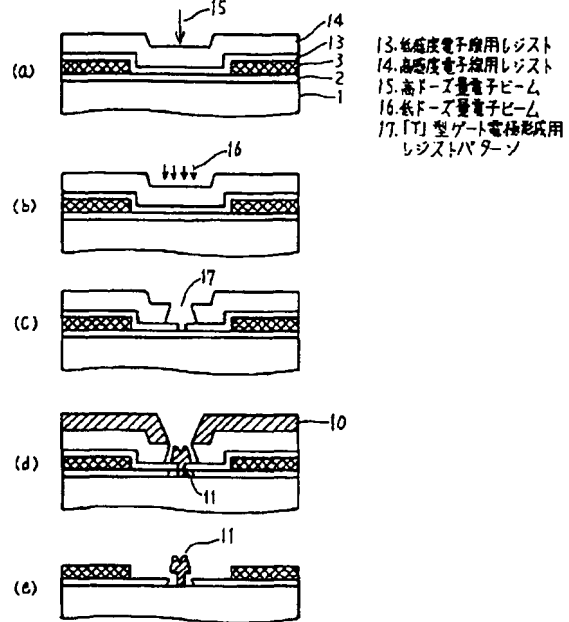
【図4】

従来例の問題点の説明図(1)



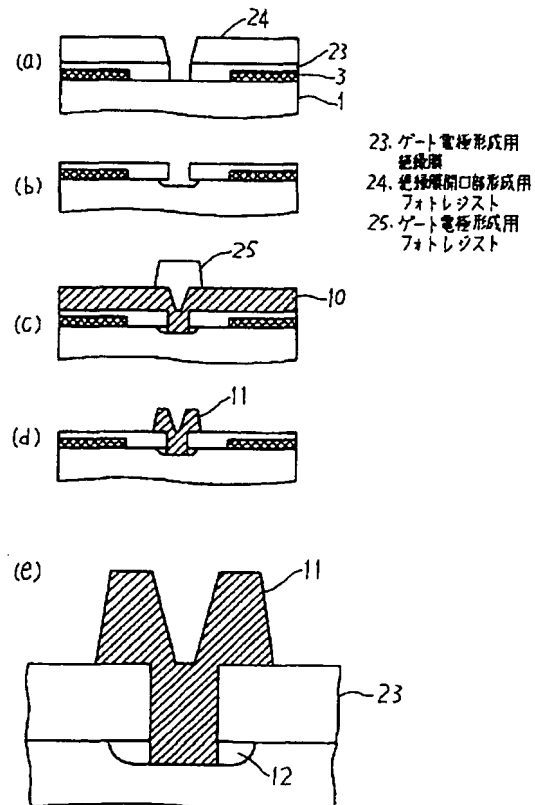
【図3】

プロセスの従来例の説明図(1)



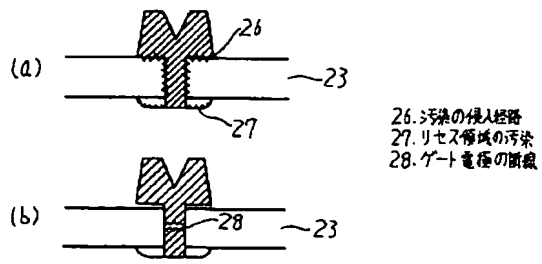
【図6】

プロセスの従来例の説明図(2)



【図7】

従来例の問題点の説明図(2)



【図8】

本発明の作用の説明図

